

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002260389 A**

(43) Date of publication of application: **13.09.02**

(51) Int. Cl.

G11C 15/04
G11C 29/00

(21) Application number: **2001056392**

(22) Date of filing: **01.03.01**

(71) Applicant: **KAWASAKI MICROELECTRONICS KK**

(72) Inventor: **KANAZAWA NAOKI**
HATA RYUICHI

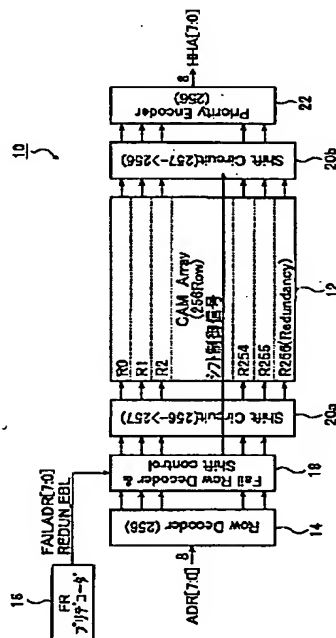
(54) **ASSOCIATIVE MEMORY**

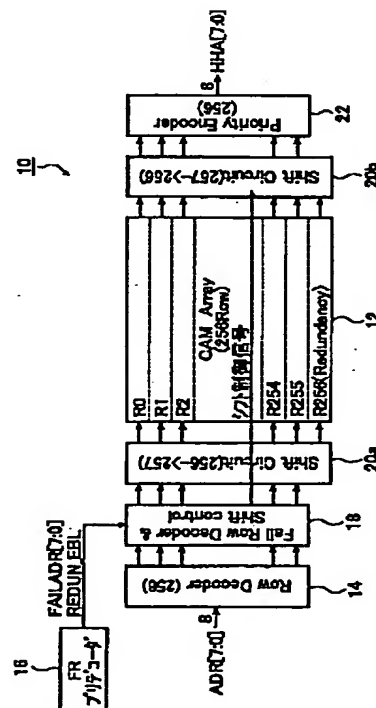
(57) Abstract:

PROBLEM TO BE SOLVED: To incorporate a spare CAM word as a redundancy circuit and to improve yield of products without increasing circuit scale and an output delay time.

SOLUTION: This associative memory incorporates a spare CAM word as a redundancy circuit in addition to a plurality of CAM words. Address information of a defective CAM word included in a plurality of CAM words, the memory is controlled so that a defective CAM word is substituted by a spare CAM word conforming to address information of the defective CAM word, an address of the defective CAM word is substituted by an address of the spare CAM word, while a detection coincidence output of the defective CAM word is substituted by an detection coincidence output of the spare CAM word.

COPYRIGHT: (C)2002,JPO





【特許請求の範囲】

【請求項1】複数のCAMワードに加えて、冗長回路としての予備のCAMワードを搭載した連想メモリであって、

複数の前記CAMワードに含まれる不良CAMワードのアドレス情報を保持するFRプリデコーダと、

このFRプリデコーダに保持されている不良CAMワードのアドレス情報に従い、前記予備のCAMワードを使用して、前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスをシフト

するように制御する第1のシフト制御回路と、データのリード／ライトのアクセス時に、前記第1のシフト制御回路の制御に従って、 i （ i は1以上の整数）番目の前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスを i 個ずつ上位（または下位）アドレス側にシフトする第1のシフト回路と、

前記FRプリデコーダに保持されている不良CAMワードのアドレス情報に従い、前記予備のCAMワードを使用して、前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスをシフトするように制御する第2のシフト制御回路と、検索動作時に、前記第2のシフト制御回路の制御に従って、 i 番目の前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスを i 個ずつ下位（または上位）アドレス側にシフトする第2のシフト回路とを備えていることを特徴とする連想メモリ。

【請求項2】複数のCAMワードに加えて、冗長回路としての予備のCAMワードを搭載した連想メモリであって、

複数の前記CAMワードに含まれる不良CAMワードのアドレス情報を保持するFRプリデコーダと、

このFRプリデコーダに保持されている不良CAMワードのアドレス情報に従い、前記予備のCAMワードを使用して、前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスをシフトするように制御するシフト制御回路と、

データのリード／ライトのアクセス時に、前記シフト制御回路の制御に従って、 i （ i は1以上の整数）番目の前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスを i 個ずつ上位（または下位）アドレス側にシフトする第1のシフト回路と、

検索動作時に、前記シフト制御回路の制御に従って、 i 番目の前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスを i 個ずつ下位（または上位）アドレス側にシフトする第2のシフト回路とを備えていることを特徴とする連想メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、連想メモリ（以下、CAM（Content Addressable Memory）という）、より詳しくは、不良のCAMワードを予備のCAMワードと入れ替えて救済する機能を備えたCAMに関するものである。

【0002】

【従来の技術】図8は、従来のCAMの一例の構成概略図である。同図に示すCAM54は、256ワード（256 Row）分のCAMワードを備えるCAMアレイ（CAM Array）56と、アドレス信号ADR[7:0]をデコードするロウデコーダ（Row Decoder）58と、所定の優先順位に従って、一致の検出されたCAMワードのアドレスを順次エンコードするプライオリティエンコーダ（Priority Encoder）60とから構成されている。

【0003】図示例のCAM54では、ロウデコーダ58により、外部から入力されたアドレス信号ADR[7:0]に対応したCAMワードが選択され、記憶データのリード／ライトのアクセスが行われる。その後、各々のCAMワードに記憶された記憶データと外部から入力される検索データとの一致検索が同時に行われ、プライオリティエンコーダ60により、所定の優先順位に従って、一致が検出されたCAMワードのメモリアドレスが順次出力される。

【0004】ところで、SRAM（スタティックRAM）やDRAM（ダイナミックRAM）等の通常の半導体メモリでは、あらかじめ冗長回路として予備のメモリワードを設けておき、不良のメモリワードが存在する場合に、この不良メモリワードを予備のメモリワードと入れ替えることにより救済し、半導体メモリの歩留りを向上させる冗長回路技術が一般的に使用されている。

【0005】しかし、CAM54では、そのカラムの構造が通常の半導体メモリとは大きく異なることや、データのリード／ライトのアクセス時のアドレス選択（デコード）だけでなく、一致検索後、優先順位に従って一致アドレスを順次出力する機能（エンコード）についても救済しなければならないなど、CAM54に特有の機能や回路構成等の理由により、不良のCAMワードの救済はほとんど行われていなかった。

【0006】以下、従来のCAMの冗長回路技術について説明する。

【0007】図9は、従来のCAMの別の例の構成概略図である。同図に示すCAM62は、冗長回路技術を採用したもので、図8に示すCAM54において、さらに、FRプリデコーダ64と、論理－物理変換器（Logical-to-Physical Converter）66と、フェイルロウデコーダおよびフェイルロウディスエーブル（Fail Row Decoder & Fail Row disable）68と、物理－論理変換器（Physical-to-Logical Converter）70とを備えてい

る。

【0008】図示例のCAM62において、CAMアレイ56は、通常の256ワード分のCAMワードR0、R1、R2、…、R255の他、1ワード分の予備のCAMワードR256を備えている。また、FRプリデコード64には、不良CAMワードが存在するかどうかを表す信号REDUN_EBLと、不良CAMワードが存在する場合には、この不良CAMワードのアドレス信号FAILADR[7:0]とが記憶されている。

【0009】まず、論理-物理変換器66では、不良CAMワードが存在しない場合（信号REDUN_EBL=0）、アドレス信号ADR[7:0]はそのまま出力され、ロウデコード58へ入力される。これに対し、不良CAMワードが存在する場合（信号REDUN_EBL=1）、外部から入力されたアドレス信号ADR[7:0]と不良CAMワードのアドレス信号FAILADR[7:0]との大小比較が行われる。

【0010】ここで、図10(a)に示すように、ADR[7:0] ≥ FAILADR[7:0]であれば、アドレス信号ADR[7:0]には1が加算され、信号P_ADR[8:0]としてロウデコード58へ入力される。つまり、不良CAMワードのアドレス以降のメモリアドレスは1つずつ繰り下げられる。一方、ADR[7:0] < FAILADR[7:0]であれば、アドレス信号ADR[7:0]はそのままロウデコード58へ入力される。

【0011】なお、ロウデコード58、CAMアレイ56およびプライオリティエンコード60の動作は、外部からアドレス信号ADR[7:0]が入力される代わりに、論理-物理変換器66からアドレス信号P_ADR[8:0]が入力される点を除いて、図8に示すCAM54の場合と同じである。また、フェイルロウデコードおよびフェイルロウディスエーブル68は、不良CAMワードから出力される一致不一致の検出結果を無効化するものである。

【0012】最後に、物理-論理変換器70では、不良CAMワードが存在しない場合（信号REDUN_EBL=0）、プライオリティエンコード60から入力されたアドレス信号P_HHA[7:0]はそのまま出力される。これに対し、不良CAMワードが存在する場合（信号REDUN_EBL=1）、プライオリティエンコード60から入力されたアドレス信号P_HHA[8:0]と不良CAMワードのアドレス信号FAILADR[7:0]との大小比較が行われる。

【0013】ここで、図10(b)に示すように、P_HHA[8:0] ≥ FAILADR[7:0]であれば、アドレス信号ADR[7:0]からは1が減算され、信号HHA[7:0]として出力される。つまり、不良CAMワードのアドレス以降のメモリアドレスは1つずつ繰り上げられる。一方、P_HHA[8:0] < FAILADR[7:0]であれば、アドレス信号P_

HHA[7:0]は、信号HHA[7:0]としてそのまま出力される。

【0014】すなわち、CAM62では、図11に示すように、例えばP3のCAMワードが不良CAMワードである場合、外部から入力されるアドレス信号ADRは、論理-物理変換器66により、P0~P2のメモリアドレスはそのまま出力され、P3以降のメモリアドレスは1つずつ繰り下げられる。また、エンコード後のメモリアドレスは、物理-論理変換器70により、P0~P2のメモリアドレスはそのまま出力され、P4以降のメモリアドレスは1つずつ繰り上げられる。

【0015】したがって、アドレス信号の入力側（デコード側）で必要に応じてメモリアドレスが加算され、出力側（エンコード側）では逆に減算が行われることにより、外部のインターフェースでは不良CAMワードの存在を全く意識することなくCAM62を使用することができる。

【0016】

【発明が解決しようとする課題】しかしながら、従来の冗長回路技術を利用したCAM62では、大小比較回路や加減算器を使用して論理アドレス（外部から入力されるアドレス）と物理アドレス（内部で実際に使用するアドレス）とを相互に変換しているため、その回路規模が大きく複雑な構成になる他、不良CAMワードのメモリアドレスの出力を禁止するための回路68も必要となり、冗長回路を追加したことによる面積の拡大が大きなデメリットとなる。

【0017】また、記憶データのリード/ライトのアクセス時や検索動作時に、その都度、大小比較や加減算が行われるので、冗長回路が設けられていないCAM54と比べて出力の遅延時間が著しく増加するという問題がある。この出力遅延時間は、大小比較回路や加減算器の回路構成にもよるが1~2ns以上となることもあり、特に、一致検索後のメモリアドレスのエンコード出力は、CAMのスペックにも係わる大問題となる。

【0018】本発明の目的は、前記従来技術に基づく問題点を解消し、回路規模や出力遅延時間を増大させることなく、冗長回路としての予備のCAMワードを搭載し、製品歩留りを向上させることができる連想メモリを提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するために、本発明は、複数のCAMワードに加えて、冗長回路としての予備のCAMワードを搭載した連想メモリであって、複数の前記CAMワードに含まれる不良CAMワードのアドレス情報を保持するFRプリデコードと、このFRプリデコードに保持されている不良CAMワードのアドレス情報に従い、前記予備のCAMワードを使用して、前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスをシフトする

ように制御する第1のシフト制御回路と、データのリード／ライトのアクセス時に、前記第1のシフト制御回路の制御に従って、i (iは1以上の整数) 番目の前記不良CAMワードよりも上位 (または下位) アドレス側の前記CAMワードのアドレスをi個ずつ上位 (または下位) アドレス側にシフトする第1のシフト回路と、前記FRプリデコーダに保持されている不良CAMワードのアドレス情報に従い、前記予備のCAMワードを使用して、前記不良CAMワードよりも上位 (または下位) アドレス側の前記CAMワードのアドレスをシフトするように制御する第2のシフト制御回路と、検索動作時に、前記第2のシフト制御回路の制御に従って、i番目の前記不良CAMワードよりも上位 (または下位) アドレス側の前記CAMワードのアドレスをi個ずつ下位 (または上位) アドレス側にシフトする第2のシフト回路とを備えていることを特徴とする連想メモリを提供するものである。

【0020】また、本発明は、複数のCAMワードに加えて、冗長回路としての予備のCAMワードを搭載した連想メモリであって、複数の前記CAMワードに含まれる不良CAMワードのアドレス情報を保持するFRプリデコーダと、このFRプリデコーダに保持されている不良CAMワードのアドレス情報に従い、前記予備のCAMワードを使用して、前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスをシフトするように制御するシフト制御回路と、データのリード／ライトのアクセス時に、前記シフト制御回路の制御に従って、 i （ i は1以上の整数）番目の前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスを i 個ずつ上位（または下位）アドレス側にシフトする第1のシフト回路と、検索動作時に、前記シフト制御回路の制御に従って、 i 番目の前記不良CAMワードよりも上位（または下位）アドレス側の前記CAMワードのアドレスを i 個ずつ下位（または上位）アドレス側にシフトする第2のシフト回路とを備えていることを特徴とする連想メモリを提供する。

【 0 0 2 1 】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明の連想メモリを詳細に説明する。

【００２２】図１は、本発明の連想メモリの一実施例の構成概略図である。同図に示す連想メモリ（以下、CAMという）１０は、不良のCAMワードを冗長回路としての予備のCAMワードと入れ替えて救済する機能を有するもので、CAMアレイ１２と、ロウデコーダ１４と、FRプリデコーダ１６と、フェイルロウデコーダおよびシフト制御回路１８と、２つのシフト回路２０a、２０bと、プライオリティエンコーダ２２とを備えている。

【0023】図示例のCAM10において、まず、CAMアレイ (CAM Array) 12は、連続したアドレスで指定される通常の256ワード (256 Row) 分のCAMワードR0, R1, R2, ..., R255に加えて、1ワード分の冗長な予備のCAMワード (Redundancy) R256を備えている。本実施例では、図9に示す従来の冗長回路を適用するCAM62との比較が容易となるように、同一構成のCAMアレイを使用した例を挙げて説明する。

【００２４】なお、本実施例では、CAMワードR0が最上位のCAMワードであり、以下順にCAMワードR1，R2，R3，…の順に下位のCAMワードとなり、CAMワードR255が最下位のCAMワードであるとして説明を行うが、本発明はこれに限定されず、CAMワードR0を最下位とし、以下順にCAMワードR1，R2，R3，…の順に上位のCAMワードとし、CAMワードR255を最上位のCAMワードとしてCAMアレィ12を構成してもよい。

【0025】以下順に、ロウデコーダ (Row Decoder) 14は、論理アドレス、すなわち、外部から入力されるアドレス信号ADR[7:0]をデコードし、これに対応したCAMワードを指定するためのワード選択信号を出力する。ロウデコーダ14からはCAMワードR0, R1, R2, ..., R255に各々対応する256本のワード選択信号が出力され、アドレス信号ADR[7:0]に対応した1本のワード選択信号だけがアクティブ状態とされる。

【0026】FRプリデコーダ16は、不良のCAMワードが存在するかどうかという情報、および、不良CAMワードが存在する場合に、この不良CAMワードのアドレスを保持するものである。このFRプリデコーダ16からは、不良CAMワードが存在するかどうかを表す信号REDUN_EBLと、不良CAMワードのアドレスを表す信号FAILADR[7:0]が出力されている。

【0027】このFRプリデコーダ16の構成は、例えばヒューズを用いてFRプリデコーダ16を構成し、該当する不良CAMワードのアドレスに応じてヒューズを切断することにより、そのメモリアドレスを指定してもよいし、あるいは、内部レジスタを設けておき、この内部レジスタに不良CAMワードのアドレスを格納してもよいなど、不良CAMワードのアドレスを特定することができる手段であれば何ら限定されず、従来公知の手段がいずれも利用可能である。

【0028】フェイルロウデコーダおよびシフト制御回路 (Fail Row Decoder & Shift Control) 18は、信号REDUN_EBLおよび信号FAILADR[7:0]に従い、予備のCAMワードを使用して、不良CAMワードよりも上位アドレス側のCAMワードのアドレスをシフトするように、シフト回路20a、20bの動

作を制御するシフト制御信号を出力する。本実施例では、シフト制御信号はシフト回路20a, 20bの両方に入力され、フェイルロウデコーダおよびシフト制御回路18はシフト回路20a, 20bで共用されている。

【0029】デコーダ側のシフト回路(Shift Circuit)20aは、シフト制御信号の制御に従って、ロウデコーダ14からフェイルロウデコーダおよびシフト制御回路18を介して入力される256本のワード選択信号をそのまま出力するか、もしくは、不良CAMワードよりも下位アドレス側の全てのCAMワードに対応するワード選択信号を1つずつ下位アドレス側のCAMワードへシフト、すなわち、不良CAMワードよりも下位アドレス側の全てのCAMワードのアドレスを下位アドレス側へシフトする。

【0030】これに対し、エンコーダ側のシフト回路20bは、同じくシフト制御信号の制御により、CAMアレイ12のそれぞれのCAMワードから一致線を介して入力される257本の検索一致出力信号の内の上位アドレス側の256本の検索一致出力信号をそのまま出力するか、もしくは、不良CAMワードよりも下位アドレス側の全てのCAMワードに対応する検索一致出力信号を1つずつ上位アドレス側のCAMワードへシフト、すなわち、不良CAMワードよりも下位アドレス側の全てのCAMワードのアドレスを上位アドレス側へシフトする。

【0031】ここで、不良CAMワードが存在しない場合(信号REDUN_EBL=0)、CAMワードの論理アドレスと物理アドレスが一致するように制御される。すなわち、ロウデコーダ14から出力される256本のワード選択信号は、各々対応するCAMワードR0, R1, R2, ..., R255へそのまま入力され、CAMワードR0, R1, R2, ..., R255から出力される検索一致出力信号もプライオリティエンコーダ22へそのまま入力される。

【0032】一方、不良CAMワードが存在する場合(信号REDUN_EBL=1)、信号FAILADR[7:0]に従って、不良CAMワードよりも下位アドレス側の全てのCAMワードに対応するワード選択信号が1つずつ下位アドレス側のCAMワードへシフトされる。また、不良CAMワードよりも下位アドレス側の全てのCAMワードに対応する検索一致出力信号が1つずつ上位アドレス側のCAMワードへシフトされる。

【0033】最後に、プライオリティエンコーダ(Priority Encoder)22は、シフト回路20bから入力される256本の検索一致出力信号について、所定の優先順位に従って、一致が検出されたCAMワードのメモリアドレスを順次エンコードし、これを最優先順位ヒットアドレスHHA[7:0]として順次出力する。CAMワードの優先順位は何ら限定されず、例えば下位アドレス側または上位アドレス側のCAMワードであるほど優先

順位が高いとしてもよい。

【0034】なお、CAMアレイのワード数や、1ワードに含まれるCAMセルのビット数は何ら限定されない。また、予備のCAMワードは何ワード設けてもよいし、図示例では、最下位側のメモリアドレスに配置しているが、最上位側のメモリアドレスに配置したり、その他のメモリアドレスに配置してももちろんよい。また、ロウデコーダ14、プライオリティエンコーダ22は従来公知の構成のものがいずれも利用可能である。

【0035】ここで、2つ以上の予備のCAMワードを設けた場合、デコーダ側のシフト回路20aでは、1つ目の不良CAMワードよりも下位アドレス側のCAMワードのアドレスを1つずつ下位アドレス側にシフトさせ、2つ目の不良CAMワードよりも下位アドレス側のCAMワードのアドレスを2つずつ下位アドレス側にシフトさせ、以下同様に、i(iは1以上の整数)番目の不良CAMワードよりも下位アドレス側のCAMワードのアドレスをi個ずつ下位アドレス側にシフトさせる必要がある。

【0036】また、2つ以上の予備のCAMワードを設けた場合、エンコーダ側のシフト回路20bでは、1つ目の不良CAMワードよりも下位アドレス側のCAMワードのアドレスを1つずつ上位アドレス側にシフトさせ、2つ目の不良CAMワードよりも下位アドレス側のCAMワードのアドレスを2つずつ上位アドレス側にシフトさせ、以下同様に、i番目の不良CAMワードよりも下位アドレス側のCAMワードのアドレスをi個ずつ上位アドレス側にシフトさせる必要がある。

【0037】次に、図1に示すフェイルロウデコーダおよびシフト制御回路18、ならびに、2つのシフト回路20a, 20bについてより詳細に説明する。

【0038】図2は、本発明の連想メモリで用いられるフェイルロウデコーダおよびシフト制御回路ならびにデコーダ側のシフト回路の一実施例の構成概略図である。同図に示すように、フェイルロウデコーダおよびシフト制御回路18は、不良CAMワード選択信号に各々対応して設けられた制御回路24を備えている。また、デコーダ側のシフト回路20aは、各々のCAMワードR0, R1, R2, ..., R256に対応して設けられたセレクト26を備えている。

【0039】ここで、フェイルロウデコーダおよびシフト制御回路18の各々の制御回路24には、各々対応する不良CAMワード選択信号FRiと、前段の制御回路(1ワード上位アドレス側の不良CAMワード選択信号に対応する制御回路)24から出力されるシフト制御信号の反転信号SFTNiが入力されている。また、各々の制御回路24から出力されるシフト制御信号SFTiは、シフト回路20aの各々対応するセレクト26の選択端子へ入力されている。

【0040】なお、不良CAMワード選択信号FRi

は、不良CAMワードのアドレスを表す信号FAILADR[7:0]をデコードして得られる信号である。本実施例の場合、不良CAMワード選択信号FRiは、不良CAMワードが存在しない場合には全ての不良CAMワード選択信号FRiが非アクティブ状態となり、これに対して、不良CAMワードが存在する場合には、1つの不良CAMワード選択信号FRiだけがアクティブ状態となる。

【0041】また、シフト回路20aの各々のセレクト26には、各々のCAMワードR0, R1, R2, ..., R256に対応するワード選択信号Wiと、1つ上位アドレス側のCAMワードに対応するワード選択信号Wi-1が入力されている。また、各々のセレクト26の選択端子には、前述の通り、各々対応する制御回路24からシフト制御信号SFTiが入力され、各々のセレクト26の出力信号GWiは、各々対応するCAMワードへ入力されている。

【0042】フェイルロウデコードおよびシフト制御回路18では、不良CAMワードが存在しない場合、各々の制御回路24から出力されるシフト制御信号SFTiは非アクティブ状態となる。これに応じて、シフト回路20aでは、ワード信号GWiとして、各々のセレクト26から各々のCAMワードRiに対応するワード選択信号Wiが出力される。

【0043】一方、不良CAMワードが存在する場合、アクティブ状態の不良CAMワード選択信号FRiを含む下位アドレス側の全ての不良CAMワード選択信号FRiに対応する制御回路24から出力されるシフト制御信号SFTiがアクティブ状態となる。これに応じて、各々のセレクト26からは、ワード信号GWiとして、1つ上位アドレス側のCAMワードに対応するワード選択信号Wi-1が出力される。

【0044】すなわち、図3の概念図に分かり易く示したように、例えば通常のCAMワードがP0~P6まであり、予備のCAMワードであるP7があるとする。ここで、不良CAMワードがP3であるとする、CAMワードP0~P2には、各々対応するワード選択信号L0~L2が入力される。不良CAMワードP3はロウレベルに固定され、CAMワードP4~P7には、各々1つずつシフトされたワード選択信号L3~L6が入力される。

【0045】ここで、図4に示す具体例を挙げて、フェイルロウデコードおよびシフト制御回路ならびにデコード側のシフト回路をさらに詳細に説明する。

【0046】図4(a)に示すように、フェイルロウデコードおよびシフト制御回路18の各々の制御回路24は、ORゲート28と、インバータ30とから構成されている。ORゲート28の2つの反転入力端子には、各々対応する不良CAMワード選択信号と、前段の制御回路24から出力されるシフト制御信号の反転信号SFT

Niが入力されている。また、ORゲート28からはシフト制御信号SFTiが出力され、インバータ30を介してその反転信号SFTNiが出力されている。

【0047】また、デコード側のシフト回路20aの各々のセレクト26は、2つのANDゲート32, 34と、NORゲート36と、インバータ38と、バッファ40とから構成されている。ANDゲート34の2つの反転入力端子には、各々のCAMワードRiに対応するワード選択信号Wiと、各々対応する制御回路24のORゲート28から出力されるシフト制御信号SFTiが入力されている。一方、ANDゲート32の2つの反転入力端子には、1つ上位アドレス側のCAMワードRi-1に対応するワード選択信号Wi-1と、前段の制御回路24のインバータ30から出力されるシフト制御信号の反転信号SFTNi-1が入力されている。また、ANDゲート32, 34の出力信号は共にNORゲート36に入力され、NORゲート36の出力信号は、インバータ38およびバッファ40を介してワード信号GWiとして出力されている。

【0048】図4(a)に示す回路では、不良CAMワードが存在しない場合、信号FAILADR[7:0]をデコードして得られる不良CAMワード選択信号、図示例では、NANDゲート42の出力信号は全てハイレベルとなる。また、不良CAMワードが存在しない場合、最上位アドレスのシフト制御信号の反転信号SFTN0はハイレベルであり、ORゲート28の出力信号、すなわち、全てのシフト制御信号SFTiはロウレベル、インバータ30の出力信号、すなわち、シフト制御信号の反転信号SFTNiは全てハイレベルとなる。

【0049】従って、シフト制御信号の反転信号SFTNiが入力されているANDゲート32の出力信号はロウレベルとなるので、シフト制御信号SFTiが入力されているANDゲート34から、ロウデコード14から出力されるワード選択信号Wiが出力され、NORゲート36、インバータ38およびバッファ40を介して、ワード信号GWiとして出力される。

【0050】一方、不良CAMワードが存在する場合、信号FAILADR[7:0]をデコードして得られる不良CAMワード選択信号だけがロウレベルとなる。これにより、この不良CAMワード選択信号FRiを含む下位アドレス側の全てのCAMワードに対応するシフト制御信号SFTiはハイレベルとなり、その反転信号SFTNiは全てロウレベルとなる。

【0051】従って、ロウレベルの不良CAMワード選択信号を含む下位アドレス側の全てのCAMワードに対応するセレクト26では、シフト制御信号SFTiが入力されているANDゲート34の出力信号はロウレベルとなるので、その反転信号SFTNiが入力されているANDゲート32から、ロウデコード14から出力される、1つ上位アドレス側のCAMワードに対応するワー

ド選択信号 $Wi-1$ が出力され、NORゲート36、インバータ38およびバッファ40を介して、ワード信号 GWi として出力される。

【0052】なお、ロウレベルの不良CAMワード選択信号よりも上位アドレス側の全てのCAMワードに対応するセクタ26では、シフト制御信号 $SFTi$ はロウレベルとなり、その反転信号 $SFTNi$ は全てハイレベルのままである。従って、ロウレベルの不良CAMワード選択信号よりも上位アドレス側の全てのCAMワードに対応するセクタ26では、不良CAMワードが存在しない場合と全く同様に動作する。

【0053】図4(b)は、従来のロウデコードの一例の構成回路図である。同図は、本発明に係る追加回路の規模を分かり易くするために、冗長回路技術を適用していない従来のCAMで用いられるロウデコードの1ワード分を示したものである。ここで、NANDゲート44、インバータ38およびバッファ40は、図4(a)に示す本発明に係る回路において、それぞれNANDゲート44、インバータ38およびバッファ40に相当する。

【0054】この図4(a)および(b)に示す回路を見比べれば明らかなように、本発明に係る回路の追加部分は、制御回路24に相当するORゲート28およびインバータ30と、セクタ26に相当する2つのANDゲート32、34およびNORゲート36のみである。これらの回路は、例えば図8に示す従来のCAMに対して追加される回路であって、図9に示す従来のCAMにおける追加回路と比べれば、その回路規模は桁違いに小さく、その出力遅延時間も極めて短い。

【0055】続いて、図5は、本発明の連想メモリで用いられるフェイルロウデコードおよびシフト制御回路ならびにエンコード側のシフト回路の一実施例の構成概略図である。同図に示すように、フェイルロウデコードおよびシフト制御回路18の構成は、図2に示すものと同一である。また、エンコード側のシフト回路20bは、各々のCAMワード $R0, R1, R2, \dots, R255$ に対応して設けられたセクタ46を備えている。

【0056】なお、図5に示す例では、理解を容易とするために、エンコード側のシフト回路20bの前段にもフェイルロウデコードおよびシフト制御回路18を設けてある。このように、フェイルロウデコードおよびシフト制御回路18は、デコード側およびエンコード側のシフト回路20a、20bにそれぞれ個別に設けてもよいし、図1に示すように、シフト制御信号 $SFTi$ とその反転信号 $SFTNi$ を引き回して接続し、両者でフェイルロウデコードおよびシフト制御回路18を共用するようにしてもよい。

【0057】図5に示すシフト回路20bにおいて、各々のセクタ46には、各々のCAMワード $R0, R1, R2, \dots, R256$ に対応する検索結果出力信号O

$ROUTi$ と、1つ下位アドレス側のCAMワードに対応する検索結果出力信号 $OROUTi+1$ が入力されている。また、各々のセクタ46の選択端子には、各々対応するシフト制御信号 $SFTi$ が入力され、各々のセクタ46の出力信号 $PRli$ は、プライオリティエンコーダ22へ入力されている。

【0058】フェイルロウデコードおよびシフト制御回路18の動作は前述の通りである。すなわち、不良CAMワードが存在しない場合、各々の制御回路24から出力されるシフト制御信号 $SFTi$ は非アクティブ状態となる。これに応じて、シフト回路20bでは、信号 $PRli$ として、各々のセクタ46から各々のCAMワード Ri に対応する検索結果出力信号 $OROUTi$ が出力される。

【0059】一方、不良CAMワードが存在する場合、アクティブ状態の不良CAMワード選択信号 FRi を含む下位アドレス側の全ての不良CAMワード選択信号 FRi に対応する制御回路24から出力されるシフト制御信号 $SFTi$ がアクティブ状態となる。これに応じて、各々のセクタ46からは、信号 $PRli$ として、1つ下位アドレス側のCAMワードに対応する検索結果出力信号 $OROUTi+1$ が出力される。

【0060】すなわち、図6の概念図に分かり易く示したように、同じく通常のCAMワードが $P0 \sim P6$ まであり、予備のCAMワードである $P7$ があり、不良CAMワードが $P3$ であるとする、CAMワード $P0 \sim P2$ の検索結果出力信号はそのまま信号 $L0 \sim L2$ として出力される。また、CAMワード $P3$ の検索結果出力信号は無視され、CAMワード $P4 \sim P7$ の検索結果出力信号は、各々1つずつシフトされて信号 $L3 \sim L6$ として出力される。

【0061】ここで、図7に示す具体例を挙げて、フェイルロウデコードおよびシフト制御回路ならびにデコード側のシフト回路をさらに詳細に説明する。

【0062】図7(a)に示すように、フェイルロウデコードおよびシフト制御回路18の各々の制御回路24は、図4(a)に示すものと全く同じである。従って、既に述べたように、図7(a)の破線で囲まれた部分は、デコード側のシフト回路20aと共用することが可能であり、図1に示すように、フェイルロウデコードおよびシフト制御回路18からシフト制御信号 $SFTi$ とその反転信号 $SFTNi$ を引き回して接続してもよい。

【0063】また、エンコード側のシフト回路20bの各々のセクタ46は、2つのトライステートインバータ48、50により構成されている。トライステートインバータ48には、各々対応するCAMワードの検索結果出力 $OROUTi$ が入力され、トライステートインバータ50には、1つ下位アドレス側のCAMワードの検索結果出力 $OROUTi+1$ が入力され、両者の出力信号はワイヤード接続されて信号 $PRli$ として出力され

ている。

【0064】また、トリステートインバータ48の制御反転入力端子およびトリステートインバータ50の制御入力端子には、各々対応するシフト制御信号SFTi (ORゲート28の出力信号) が入力され、トリステートインバータ48の制御入力端子およびトリステートインバータ50の制御反転入力端子には、各々対応するシフト制御信号の反転信号SFTNiが入力されている。すなわち、シフト制御信号SFTiとその反転信号SFTNiの状態に応じてどちらか一方のみがオン、他方はオフする。

【0065】図7(a)に示す回路において、不良CAMワードが存在しない場合、既に述べたように、全ての不良CAMワード選択信号、図示例では、NANDゲート42の出力信号は全てハイレベルとなる。また、最上位アドレスのシフト制御信号の反転信号SFTN0はハイレベルであり、ORゲート28の出力信号、すなわち、全てのシフト制御信号SFTiはロウレベル、インバータ30の出力信号、すなわち、シフト制御信号の反転信号SFTNiは全てハイレベルとなる。

【0066】従って、シフト制御信号の反転信号SFTNiがその制御入力端子に入力されているトリステートインバータ48がオンし、シフト制御信号SFTiがその制御入力端子に入力されているトリステートインバータ50はオフするので、信号PR1iとして、各々対応するCAMワードの検索結果出力OROUTiが出力される。

【0067】一方、不良CAMワードが存在する場合、同じく既に述べたように、信号FAILADR[7:0]をデコードして得られる不良CAMワード選択信号(NANDゲートの出力信号)だけがロウレベルとなる。これにより、この不良CAMワード選択信号FRiを含む下位アドレス側の全てのCAMワードに対応するシフト制御信号SFTiはハイレベルとなり、その反転信号SFTNiは全てロウレベルとなる。

【0068】従って、ロウレベルの不良CAMワード選択信号を含む下位アドレス側の全てのCAMワードに対応するセクタ46では、シフト制御信号SFTiがその制御入力端子に入力されているトリステートインバータ50がオンし、シフト制御信号の反転信号SFTNiがその制御入力端子に入力されているトリステートインバータ48はオフするので、信号PR1iとして、1つ下位アドレス側のCAMワードの検索結果出力OROUTi+1が出力される。

【0069】なお、ロウレベルの不良CAMワード選択信号よりも上位アドレス側の全てのCAMワードに対応するセクタ46では、シフト制御信号SFTiはロウレベルとなり、その反転信号SFTNiは全てハイレベルのままである。従って、ロウレベルの不良CAMワード選択信号よりも上位アドレス側の全てのCAMワード

に対応するセクタ46では、不良CAMワードが存在しない場合と全く同様に動作する。

【0070】図7(b)は、従来のエンコーダ側の出力部の一例の構成回路図である。同図は、本発明に係る追加回路の規模を分かり易くするために、冗長回路技術を適用していない従来のCAMで用いられるエンコーダ側の出力部、すなわち、各々のCAMワードの検索結果出力の1ワード分を示したものである。ここで、インバータ52は、図7(a)に示す本発明に係る回路において、トリステートインバータ48に相当する。

【0071】この図7(a)および(b)に示す回路を見比べれば明らかなように、本発明に係る回路の追加部分は、制御回路24に相当する回路部分を共用するとすると、セクタ46を構成するトリステートインバータ50のみである。この回路は、例えば図8に示す従来のCAMに対して追加される回路であって、図9に示す従来のCAMにおける追加回路と比べれば、その回路規模は桁違いに小さく、その出力遅延時間も極めて短い。

【0072】以上のように、本発明のCAMでは、論理アドレス(外部から入力されるアドレス)と物理アドレス(内部で実際に使用するアドレス)とを相互に変換する回路の規模が小さく、しかも、従来方式の冗長回路技術を利用したCAMと違って、記憶データのリード/ライトのアクセス時や検索動作時に、その都度、大小比較や加減算を行うわけではないので、冗長回路が設けられていない従来のCAMと比べても出力遅延時間はほぼ同等である。

【0073】本発明の連想メモリは、基本的に以上のようなものである。以上、本発明の連想メモリについて詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0074】

【発明の効果】以上詳細に説明した様に、本発明の連想メモリは、複数のCAMワードに含まれる不良CAMワードのアドレス情報を保持し、この不良CAMワードのアドレス情報に従って、不良CAMワードと予備のCAMワードを入れ替えるように制御し、不良CAMワードのアドレスと予備のCAMワードのアドレスを入れ替えると共に、予備のCAMワードの検索一致出力と不良CAMワードの検索一致出力を入れ替えるようにしたものである。これにより、本発明の連想メモリによれば、回路規模や出力遅延時間を増大させることなく、不良CAMワードと予備のCAMワードを入れ替えて使用することができ、製品の歩留りを向上させることができる。

【図面の簡単な説明】

【図1】 本発明の連想メモリの一実施例の構成概略図である。

【図2】 本発明の連想メモリで用いられるフェイルロウデコーダおよびシフト制御回路ならびにデコーダ側の

シフト回路の一実施例の構成概略図である。

【図3】 図2に示すフェイルロウデコーダおよびシフト制御回路ならびにデコーダ側のシフト回路の動作を表す一実施例の概念図である。

【図4】 (a) は、本発明の連想メモリで用いられるロウデコーダ、フェイルロウデコーダおよびシフト制御回路ならびにデコーダ側のシフト回路の一実施例の構成回路図、(b) は、従来のロウデコーダの一例の構成回路図である。

【図5】 本発明の連想メモリで用いられるフェイルロウデコーダおよびシフト制御回路ならびにエンコーダ側のシフト回路の一実施例の構成概略図である。

【図6】 図5に示すフェイルロウデコーダおよびシフト制御回路ならびにエンコーダ側のシフト回路の動作を表す一実施例の概念図である。

【図7】 (a) は、本発明の連想メモリで用いられるフェイルロウデコーダおよびシフト制御回路ならびにエンコーダ側のシフト回路の一実施例の構成回路図、

(b) は、従来のエンコーダ側の出力部の一例の構成回路図である。

【図8】 従来の連想メモリの一例の構成概略図である。

【図9】 従来の連想メモリの別の例の構成概略図である。

【図10】 (a) は、従来の連想メモリで用いられる大小比較回路および加算器の一例の構成概略図、(b)

は、従来の連想メモリで用いられる大小比較回路および減算器の一例の構成概略図である。

【図11】 従来の連想メモリの動作を表す一例の概念図である。

【符号の説明】

10, 54, 62 連想メモリ (CAM)

12, 56 CAMアレイ

14, 58 ロウデコーダ

16, 64 FRプリデコーダ

18 フェイルロウデコーダおよびシフト制御回路

20a, 20b シフト回路

22, 60 プライオリティエンコーダ

24 制御回路

26, 46 セレクタ

28 ORゲート

30, 38, 52 インバータ

32, 34 ANDゲート

36 NORゲート

40 バッファ

20 42, 44 NANDゲート

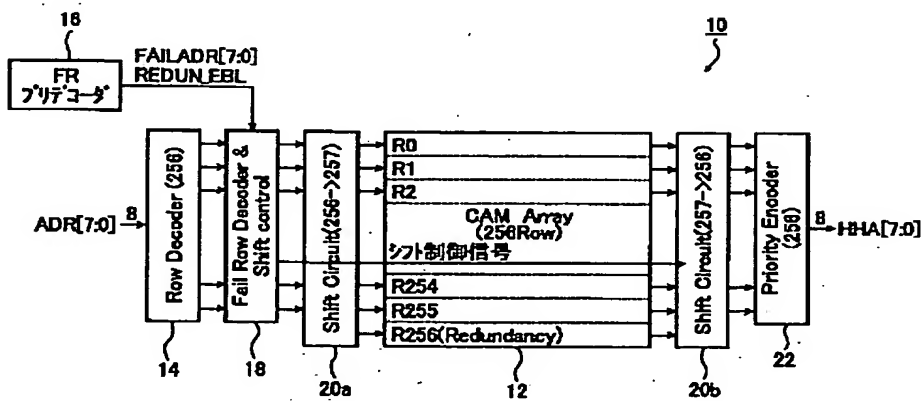
48, 50 トライステートインバータ

66 論理-物理変換器

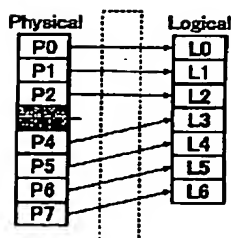
68 フェイルロウデコーダおよびフェイルロウディスプレイ

70 物理-論理変換器

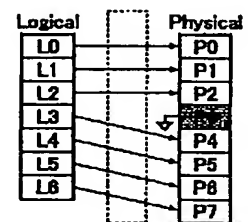
【図1】



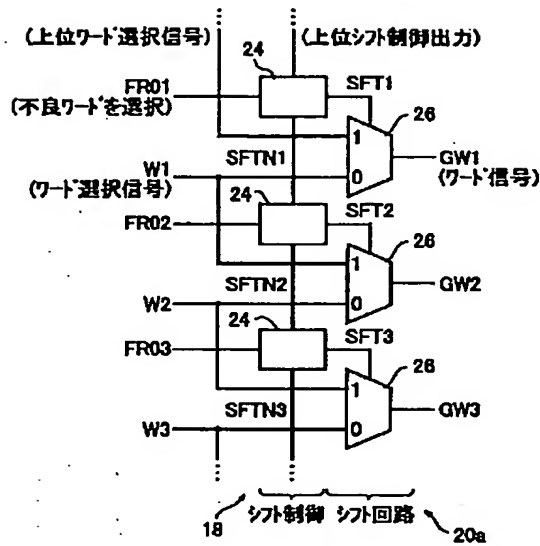
【図6】



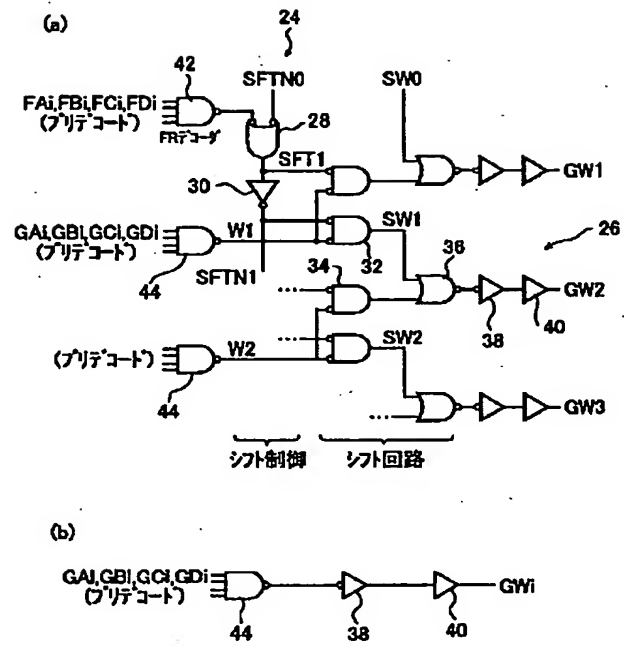
【図3】



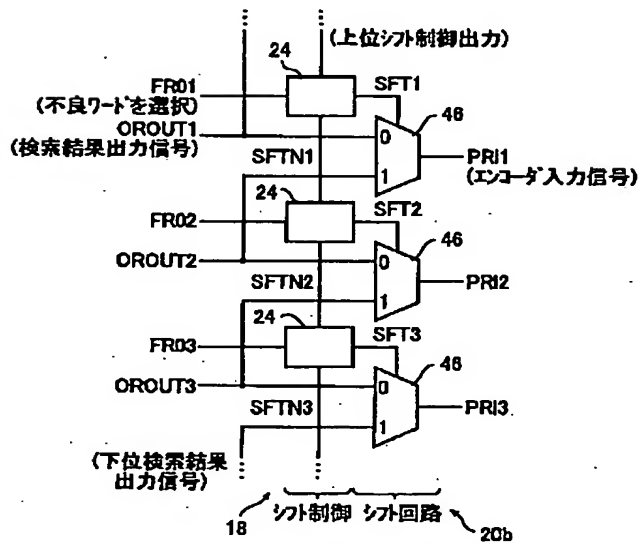
【図2】



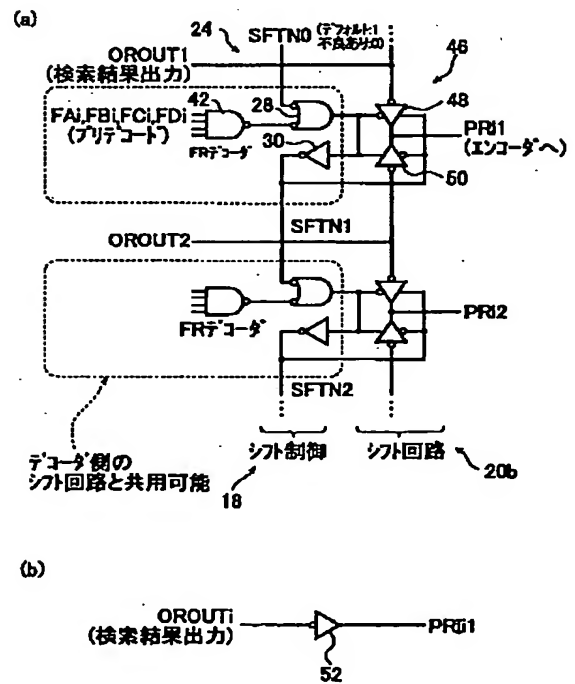
【図4】



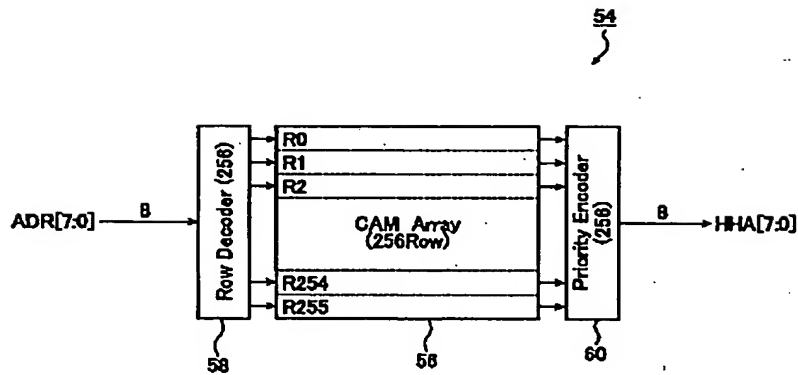
【図5】



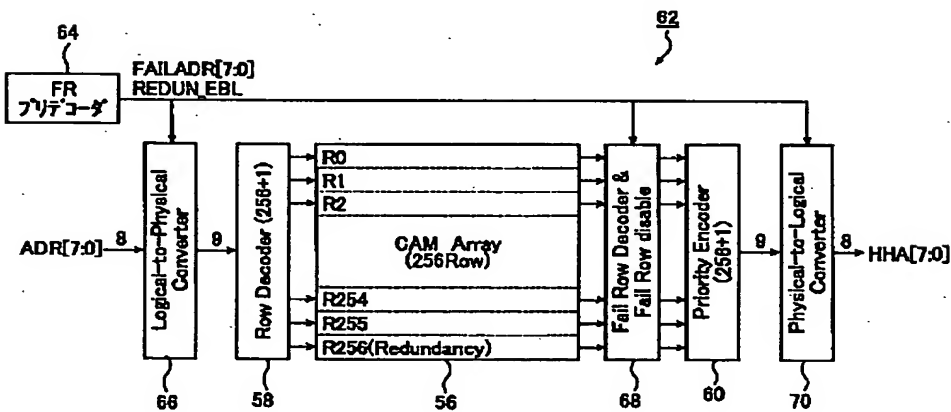
【図7】



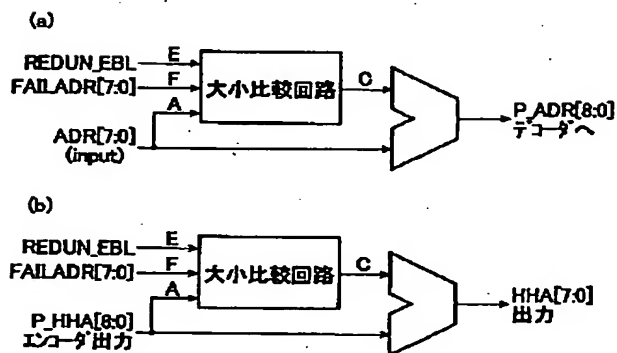
【図8】



【図9】



【図10】



【図11】

